

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-057154

(43) Date of publication of application : 22.02.2002

(51) Int.Cl.

H01L 21/316
H01L 27/04
H01L 21/822
H01L 29/78
H01L 29/94

(21) Application number : 2000-245924

(71) Applicant : MATSUSHITA ELECTRIC IND CO LTD
KOBAYASHI HIKARI

(22) Date of filing : 14.08.2000

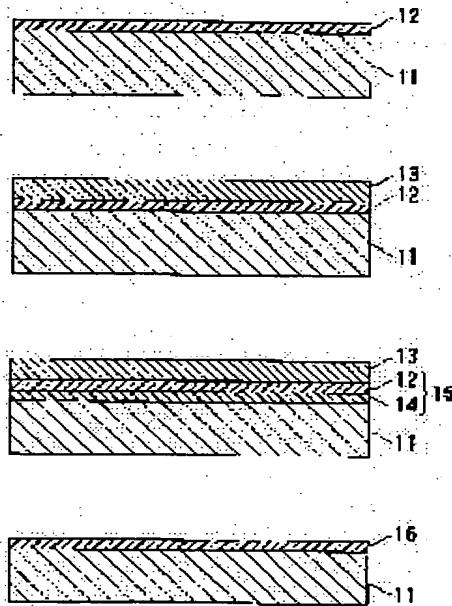
(72) Inventor : KOBAYASHI HIKARI
YONEDA KENJI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device which can obtain a semiconductor device of good characteristics by improving film quality of an insulation film without adopting high temperature heating.

SOLUTION: The method comprises a first process for forming a first insulation film 12 on a semiconductor film 11, a second process for forming a metallic film 13 having oxygen transmitting function on the first insulation film 12, a third process for forming a second insulation film 15 which is thicker than the first insulation film 12 by forming an insulation oxide film 14 by oxidizing a part of the semiconductor film 11 at the first insulation film 12 side by heating the semiconductor film 11 wherein the metallic film 13 is formed in oxidation atmosphere and a fourth process for forming a third insulation film 16 which is thinner than the second insulation film 15 by etching the metallic film 13 and a part of the second insulation film 15.



LEGAL STATUS

[Date of request for examination] 23.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3786569

[Date of registration] 31.03.2006

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

**Japanese Unexamined Patent Publication
No. 2002-57154 (Tokukai 2002-57154)**

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.

(57) [Abstract]

[Problems] A method of manufacturing a semiconductor device should be provided capable of improving the quality of an insulation film without high temperature heating and producing semiconductor devices with good characteristics.

[Means to Solve Problems] The method involves the first step of forming a first insulation film 12 on a semiconductor film 11; the second step of forming a metal film 13 having an oxygen transmitting function on the first insulation film 12; the third step of heating in an oxidative atmosphere the semiconductor film 11 on which the metal film 13 is formed to oxidize a part of the semiconductor film 11 on the side of the first insulation film 12 to form an insulating oxide film 14 and form a second insulation film 15 which is thicker than the first insulation film 12; and the fourth step of etching a part of the metal film 13 and a

part of the second insulation film 15 to form a third insulation film 16 which is thinner than the second insulation film 15.

[0042] Next, the silicon substrate 22 was rinsed (washed) in ultrapure water for 5 min. After that, the wafer was immersed in 115°C nitric acid for 10 min. to form a 1.2-nm thick chemical oxide film 35 (corresponding to the first insulation film 12) of silicon dioxide on the surface of the silicon substrate 32 (see Figure 3(c)). In the present example, hot concentrated nitric acid was used to form a high quality, clean chemical oxide film which contains no heavy metal, etc.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-57154

(P2002-57154A)

(43) 公開日 平成14年2月22日 (2002.2.22)

(51) Int.Cl.
H 01 L 21/316

識別記号

27/04
21/822
29/78

F I
H 01 L 21/316
29/94
27/04
29/78

テ-71-ト(参考)
S 5 F 0 3 8
P 5 F 0 4 0
Z 5 F 0 5 8
C
3 0 1 G

審査請求 未請求 請求項の数13 OL (全11頁) 最終頁に続く

(21) 出願番号 特願2000-245924(P2000-245924)

(22) 出願日 平成12年8月14日 (2000.8.14)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(71) 出願人 594056384
小林 光
京都府京都市東山区本町9丁目106番地
(72) 発明者 小林 光
京都府京都市東山区本町9丁目106番地
(72) 発明者 米田 健司
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74) 代理人 100095555
弁理士 池内 寛幸 (外5名)

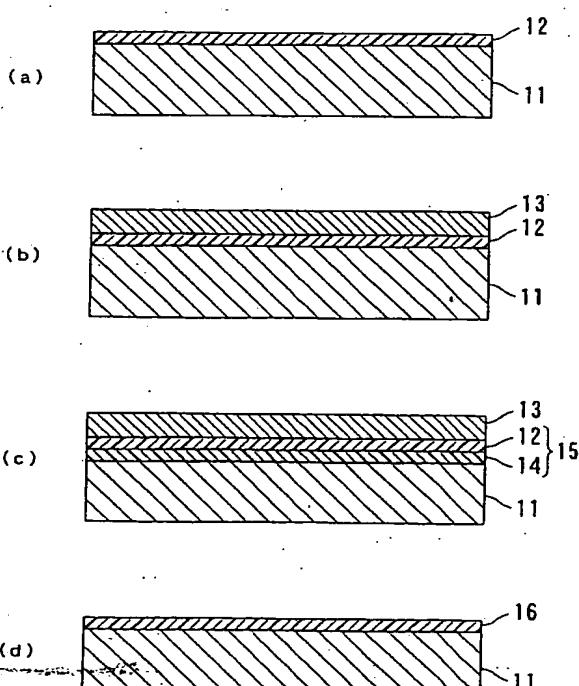
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高温加熱を用いずに絶縁膜の膜質を改善し、特性が良好な半導体装置が得られる半導体装置の製造方法を提供する。

【解決手段】 半導体膜11上に第1の絶縁膜12を形成する第1の工程と、第1の絶縁膜12上に酸素透過機能を有する金属膜13を形成する第2の工程と、金属膜13が形成された半導体膜11を酸化雰囲気中で加熱することによって半導体膜11のうち第1の絶縁膜12側の一部を酸化して絶縁酸化膜14を形成し第1の絶縁膜12よりも膜厚が厚い第2の絶縁膜15を形成する第3の工程と、金属膜13と第2の絶縁膜15の一部とをエッチングすることによって第2の絶縁膜15よりも膜厚が薄い第3の絶縁膜16を形成する第4の工程とを含む。



【特許請求の範囲】

【請求項1】 半導体膜上に第1の絶縁膜を形成する第1の工程と、前記第1の絶縁膜上に酸素透過機能を有する金属膜を形成する第2の工程と、前記金属膜が形成された前記半導体膜を酸化雰囲気中で加熱することによって前記半導体膜のうち前記第1の絶縁膜側の一部を酸化して絶縁酸化膜を形成し、前記第1の絶縁膜よりも膜厚が厚い第2の絶縁膜を形成する第3の工程と、前記金属膜と前記第2の絶縁膜の一部とをエッチングすることによって前記第2の絶縁膜よりも膜厚が薄い第3の絶縁膜を形成する第4の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第1の絶縁膜の平均膜厚が2 nm以下である請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体膜上に絶縁膜を形成する第1の工程と、前記絶縁膜上に、酸素透過機能を有する金属膜を形成する第2の工程と、前記金属膜が形成された前記半導体膜を酸化雰囲気中で加熱することによって前記絶縁膜の欠陥を終端する第3の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 前記絶縁膜中の平均膜厚が2.5 nm～200 nmの範囲内である請求項3に記載の半導体装置の製造方法。

【請求項5】 前記金属膜が、白金およびパラジウムから選ばれる少なくとも1つからなる請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記金属膜の平均膜厚が0.5 nm～30 nmの範囲内である請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1の工程の前に、前記半導体膜の表面の自然酸化膜または不純物を除去する工程をさらに含む請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項8】 前記絶縁膜が、二酸化シリコン(SiO₂)、四窒化三シリコン(Si₃N₄)、シリコンオキシナイトライド、二酸化チタン(TiO₂)、五酸化タンタル(Ta₂O₅)、BST(BaSrTiO₃)、STO(SrTiO₃)、およびPZT(PbZr_xTi_{1-x}O₃(ただし、0 < x < 1))から選ばれる少なくとも1つからなる請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記第2の工程において、前記金属膜を蒸着法によって形成する請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記半導体膜が、シリコン、砒化ガリウムおよびリン化インジウムから選ばれる少なくとも1

つからなる請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記第3の工程において、前記酸化雰囲気は、酸素ガス、オゾンガス、水蒸気、一酸化二窒素および一酸化窒素から選ばれる少なくとも1つを含むガス雰囲気である請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【請求項12】 前記ガス雰囲気は、非反応性ガスをさらに含む請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第3の工程において、前記半導体膜を酸化雰囲気中で25℃以上600℃以下の温度に加熱する請求項1ないし4のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁膜を備える半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体デバイス、とりわけMOSトランジスタ、MOS容量のゲート絶縁膜および容量絶縁膜には、シリコンデバイスの場合、二酸化シリコン膜などが一般的に用いられる。これらの絶縁膜には高い絶縁破壊耐圧、高い絶縁破壊電荷量が要求される。

【0003】このような高品質な絶縁膜を作製するために、従来から、ゲート絶縁膜を形成した後、1000℃以上の高温アニールを行うことによって、ゲート絶縁膜中の電荷トラップや構造欠陥を低減する方法が用いられてきた。

【0004】

【発明が解決しようとする課題】しかしながら、デザインルールが0.1 μm程度の微細半導体デバイスでは、このような高温アニールによって不純物が拡散し、素子特性が低下してしまうという問題があった。しかし、アニール温度を600℃以下に下げるとき、膜質の改善効果が全く得られないため、低温の熱処理を用いた膜質改善方法が必要とされてきた。

【0005】一方、近年のゲート絶縁膜の薄膜化に伴い、厚さが2.5 nm以下の極薄のゲート絶縁膜では、膜中の電荷トラップや構造欠陥(Si-OまたはSi-Siのブローケンボンドやダンギングボンド)によってリーク電流が特に増大し、半導体装置の動作に悪影響を及ぼしている。これらの極薄ゲート絶縁膜においても、高温アニールによってある程度の膜質の改善は見込めるものの、上述の厚膜ゲート絶縁膜と同様に、高温の熱処理によって不純物の拡散が助長されたり、高温アニール中に極薄ゲート絶縁膜の膜厚が増加するなどの問題があった。すなわち、厚いゲート絶縁膜および薄いゲート絶縁膜の両方において、高温のアニール処理を行うことなく膜質を改善する方法が要求されている。

【0006】本発明は、上記問題を解決するため、高温

加熱を用いずに絶縁膜の膜質を改善し、特性が良好な半導体装置を製造できる半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の半導体装置の製造方法は、半導体膜上に第1の絶縁膜を形成する第1の工程と、第1の絶縁膜上に酸素透過機能を有する金属膜を形成する第2の工程と、金属膜が形成された半導体膜を酸化雰囲気（酸素原子を構成原子とする分子を含む雰囲気）中で加熱することによって半導体膜のうち第1の絶縁膜側の一部を酸化して絶縁酸化膜を形成し、第1の絶縁膜よりも膜厚が厚い第2の絶縁膜を形成する第3の工程と、金属膜と第2の絶縁膜の一部とをエッチングすることによって第2の絶縁膜よりも膜厚が薄い第3の絶縁膜を形成する第4の工程とを含むことを特徴とする。上記第1の製造方法によれば、高温加熱を用いずに絶縁膜の膜質を改善できるため、特性が良好な半導体装置を製造できる。

【0008】上記第1の製造方法では、第1の絶縁膜の平均膜厚が2nm以下であることが好ましい。上記構成によれば、金属膜を透過した酸素の一部が容易に第1の絶縁膜を通過して半導体膜に到達し、比較的厚い絶縁酸化膜を形成できるため、膜厚が均一な第2の絶縁膜を形成できる。

【0009】また、本発明の第2の半導体装置の製造方法は、半導体膜上に絶縁膜を形成する第1の工程と、絶縁膜上に、酸素透過機能を有する金属膜を形成する第2の工程と、金属膜が形成された半導体膜を酸化雰囲気中で加熱することによって絶縁膜の欠陥を終端する第3の工程とを含むことを特徴とする。上記第2の製造方法によれば、高温加熱を用いずに絶縁膜の膜質を改善できるため、特性が良好な半導体装置を製造できる。

【0010】上記第2の製造方法では、絶縁膜中の平均膜厚が2.5nm～20.0nmの範囲内であることが好ましい。上記構成によれば、絶縁膜の膜厚を増やすことなく絶縁膜の膜質を改善できる。

【0011】上記第1および第2の製造方法では、金属膜が、白金およびパラジウムから選ばれる少なくとも1つからなることが好ましい。白金およびパラジウムは、酸素を透過する膜として好適である。

【0012】上記第1および第2の製造方法では、金属膜の平均膜厚が0.5nm～30nmの範囲内であることが好ましい。上記構成によれば、酸素が特に透過しやすくなる。

【0013】上記第1および第2の製造方法では、第1の工程の前に、半導体膜の表面の自然酸化膜または不純物を除去する工程をさらに含むことが好ましい。上記構成によれば、特に特性がよい半導体装置を製造できる。

【0014】上記第1および第2の製造方法では、絶縁膜が、二酸化シリコン（SiO₂）、四塗化三シリコン

（Si₃N₄）、シリコンオキシナイトライド、二酸化チタン（TiO₂）、五酸化タンタル（Ta₂O₅）、BST（BaSrTiO₃）、STO（SrTiO₃）、およびPZT（PbZr_xTi_{1-x}O₃（ただし、0<x<1））から選ばれる少なくとも1つからなることが好ましい。

【0015】上記第1および第2の製造方法では、第2の工程において、金属膜を蒸着法によって形成することが好ましい。上記構成によれば、膜厚が均一な金属膜を容易に形成できる。

【0016】上記第1および第2の製造方法では、半導体膜が、シリコン、砒化ガリウムおよびリン化インジウムから選ばれる少なくとも1つからなることが好ましい。

【0017】上記第1および第2の製造方法では、第3の工程において、酸化雰囲気は、酸素ガス、オゾンガス、水蒸気、一酸化二窒素、および一酸化窒素から選ばれる少なくとも1つを含むガス雰囲気であることが好ましい。この場合、ガス雰囲気は、非反応性ガスをさらに含んでもよい。上記構成によれば、上記雰囲気中の酸素分子は、酸素透過性金属膜の触媒作用によって、より活性な酸素原子となり、第1の絶縁膜の膜厚を増加させる。

【0018】上記第1および第2の製造方法では、第3の工程において、半導体膜を酸化雰囲気中で25℃以上600℃以下の温度で加熱することが好ましい。上記構成によれば、ドーパントが所定の領域以外に拡散することなどを防止できる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参考しながら説明する。

【0020】（実施形態1）実施形態1では、本発明の半導体装置の製造方法について一例を説明する。実施形態1の半導体装置の製造方法について、製造工程を図1に示す。

【0021】実施形態1の製造方法では、まず、図1(a)に示すように、半導体膜11上に、第1の絶縁膜12を形成する（第1の工程）。半導体膜11には、基板上に形成された半導体膜のほか、半導体基板を用いることができる。具体的には、半導体膜11には、シリコン(Si)、砒化ガリウム(GaAs)、およびリン化インジウム(InP)から選ばれる少なくとも1つの半導体からなる膜を用いることができる。半導体膜11がシリコンからなる場合には、単結晶シリコン、多結晶シリコン、非晶質シリコンなどを用いることができる。半導体膜11には、市販の半導体基板のほか、基板上にCVD法やMBE法などの成膜法で形成した半導体膜を用いることができる。なお、MOSFETなどの半導体装置を製造する場合には、製造する半導体装置にあわせて、不純物がドーピングされたドーピング領域などが形

成された半導体膜11を用いる。

【0022】また、第1の絶縁膜12には、様々な絶縁物からなる膜（たとえば酸化膜）を用いることができる。具体的には、第1の絶縁膜12が、二酸化シリコン（SiO₂）、四窒化三シリコン（Si₃N₄）、シリコンオキシナイトライド、二酸化チタン（TiO₂）、五酸化タンタル（Ta₂O₅）、BST（BaSrTiO₃）、STO（SrTiO₃）、およびPZT（PbZr_xTi_{1-x}O₃（ただし、0<x<1））から選ばれる少なくとも1つからなることが好ましい。また、第1の絶縁膜12の平均膜厚は、2nm以下であることが好ましい。上記第1の絶縁膜12は、半導体膜表面を化学酸化や熱酸化すること、または、半導体膜表面を酸素プラズマやオゾンガスへ暴露することなどによって形成できる。半導体表面の化学酸化法としては、熱濃硝酸に浸漬する方法、硫酸と過酸化水素水の混合溶液に浸漬する方法、塩酸と過酸化水素水の混合溶液に浸漬する方法、アンモニア水と過酸化水素水の混合溶液に浸漬する方法、オゾンを10数ppm溶解させたオゾン水に浸漬する方法などが挙げられる。また、他の酸化法としては、酸素中において400℃から室温で熱処理する方法、オゾンガス雰囲気中にウェーハを暴露しながら、400℃から室温で熱処理する方法、紫外線を照射しながらオゾンガス雰囲気中にウェーハを暴露する方法などがある。

【0023】次に、図1(b)に示すように、第1の絶縁膜12上に、酸素透過機能を有する金属膜13を形成する(第2の工程)。酸素透過機能を有する金属膜としては、白金およびパラジウムから選ばれる少なくとも1つからなる金属膜を用いることができ、具体的には白金膜やパラジウム膜を用いることができる。金属膜13の平均膜厚は、0.5nm～30nmが好ましく、3nm～10nmが特に好ましい。平均膜厚を3nm以上とすることによって、膜を均一に形成しやすくなる。また、平均膜厚を10nm以下とすることによって、酸素を特に透過しやすくなる。金属膜13は、蒸着法やスパッタリング法などによって形成できるが、膜厚を薄くかつ均一にするため蒸着法で形成することが好ましい。

【0024】次に、金属膜13が形成された半導体膜11を、酸化雰囲気中で加熱することによって、半導体膜11のうち第1の絶縁膜12側の一部を酸化して絶縁酸化膜14を形成し、第1の絶縁膜12よりも膜厚が厚い第2の絶縁膜15を形成する(第3の工程)。ここで、第2の絶縁膜15は、第1の絶縁膜12と絶縁酸化膜14とからなる。第3の工程では、酸化雰囲気中の酸素が金属膜13を透過して半導体膜11に到達し、絶縁酸化膜14を形成する。

【0025】第3の工程における酸化雰囲気としては、酸素ガスおよびオゾンガスから選ばれる少なくとも1つを含むガス雰囲気が挙げられる。このガス雰囲気は、酸素ガスやオゾンガスの他に、さらに、水蒸気、非酸化性

ガス、N₂O、およびNOから選ばれる少なくとも1つを含んでもよい。非酸化性ガスとしては、N₂や、Ar、Heなどが挙げられる。これらの、酸化雰囲気の中でも、乾燥酸素雰囲気、または乾燥酸素と非反応性ガス（たとえば、O₂/N₂）との混合雰囲気が特に好ましい。また、第3の工程における加熱温度は、25℃～600℃が好ましく、300℃～450℃が特に好ましい。加熱温度を300℃以上とすることによって、絶縁膜の成長速度を十分な速度にできる。また、加熱速度を450℃以下とすることによって、ドーパントの再分布を抑制できる。

【0026】次に、第2の絶縁膜15の一部と金属膜13とをエッチングすることによって、第2の絶縁膜15よりも膜厚が薄い第3の絶縁膜16を形成する(第4の工程)。エッチングは、たとえば、王水を用いたウエットエッチングによって行うことができる。第3の絶縁膜16の平均膜厚は、製造する半導体装置によって異なるが、たとえば、2nm以下である。

【0027】上記実施形態1の半導体装置の製造方法では、金属膜13を形成したのちに酸化雰囲気中で熱処理を行うことによって(以下、この処理を白金処理という場合がある)、欠陥準位が少なく膜厚が均一な第2の絶縁膜15を形成できる。さらに、上記製造方法では、第2の絶縁膜15をエッチングすることによって、欠陥準位が少なく膜厚が均一で薄い第3の絶縁膜16を形成できる。したがって、実施形態1の半導体装置の製造方法によれば、膜厚が均一で薄く高品質な絶縁膜を備え、特性が高い半導体装置を製造できる。

【0028】なお、本発明の半導体装置の製造方法は、上記工程を含むものであり、製造する半導体装置に応じて、さらにドーピング工程や電極形成工程を含む。具体的には、上記製造工程によって形成された第3の絶縁膜16は、MOSキャパシタの絶縁膜や、ゲート絶縁膜として用いることができる。

【0029】また、本発明の半導体装置の製造方法は、上記第1の工程の前に、半導体膜11の表面の自然酸化膜または不純物を除去する工程を含んでもよい(以下の実施形態においても同様である)。自然酸化膜または不純物の除去は、フッ化水素酸(HF)水溶液などに半導体膜11を浸漬することによって行うことができる。

【0030】(実施形態2)実施形態2では、本発明の半導体装置の製造方法について他の一例を説明する。実施形態2の製造方法について製造工程を図2に示す。なお、実施形態1で説明した部分と同様の部分については、重複する説明を省略する場合がある。

【0031】実施形態2の製造方法では、まず、図2(a)に示すように、半導体膜11上に、絶縁膜22を形成する(第1の工程)。半導体膜11は、実施形態1で説明したものと同様である。

【0032】絶縁膜22には、様々な絶縁物からなる膜

(たとえば酸化膜)を用いることができる。具体的には、絶縁膜22が、二酸化シリコン(SiO_2)、四窒化三シリコン(Si_3N_4)、シリコンオキシナイトライド、二酸化チタン(TiO_2)、五酸化タンタル(Ta_2O_5)、BST(BaSrTiO_3)、STO(SrTiO_3)、およびPZT($\text{PbZr}_{x}\text{Ti}_{1-x}\text{O}_3$ (ただし、 $0 < X < 1$))から選ばれる少なくとも1つからなることが好ましい。また、絶縁膜22の平均膜厚は、2.5nm～200nmの範囲内であることが好ましく、2.5nm～10nmの範囲内であることが特に好ましい。絶縁膜22の平均膜厚が10nm以下の場合には、高品質な絶縁膜が得られる本発明が特に有効である。上記絶縁膜は、実施形態1で説明した方法と同様の方法で形成できる。

【0033】次に、図2(b)に示すように、絶縁膜22上に、酸素透過機能を有する金属膜13を形成する(第2の工程)。酸素透過機能を有する金属膜としては、白金およびパラジウムから選ばれる少なくとも1つからなる金属膜を用いることができ、白金膜やパラジウム膜を用いることができる。金属膜13の平均膜厚は、0.5nm～30nmが好ましく、3nm～1.0nmが特に好ましい。金属膜13は、蒸着法やスパッタリング法などによって形成できるが、蒸着法で形成することが好ましい。

【0034】次に、金属膜13が形成された半導体膜11を、酸化雰囲気中で加熱することによって、絶縁膜22中の欠陥を終端し、改質された絶縁膜22aを得る(第3の工程)。第3の工程における酸化雰囲気は、実施形態1で説明した酸化雰囲気と同様である。このとき、絶縁膜22の膜厚が十分に厚い場合には、絶縁膜の膜厚を増やすことなく欠陥のみを終端することが可能である。

【0035】その後、必要に応じて、図2(d)に示すように、金属膜13をエッチングによって除去する。なお、金属膜13を除去せずに電極として用いることも可能である。また、改質された絶縁膜22aの一部をエッチングして薄くしてもよい。

【0036】以上の工程によって、改質された絶縁膜22aを形成することができる。すなわち、本発明は、絶縁膜の改質方法を提供する。なお、本発明の半導体装置の製造方法は、上記工程を含むものであり、製造する半導体装置に応じて、さらにドーピング工程や電極形成工程を含む。具体的には、上記製造工程によって形成された絶縁膜22aは、MOSキャパシタの絶縁膜や、ゲート絶縁膜として用いることができる。

【0037】上記実施形態2の製造方法では、第3の工程において、絶縁膜22中の欠陥が酸素によって終端(ターミネート)されるため、高品質な絶縁膜が得られる。したがって、上記本発明の製造方法によれば、特性が良好な半導体装置を製造することができる。

【0038】

【実施例】以下、実施例を用いて本発明を詳細に説明する。

【0039】(実施例1)実施例1では、実施形態1で説明した半導体装置の製造方法を用いてMOSキャパシタを製造した一例について、図3を参照しながら説明する。

【0040】図3に、実施例1のMOSキャパシタの製造工程を示す。図3(a)を参照して、まず、自然酸化膜31(膜厚約1nmの SiO_2 膜)が形成されたシリコン基板32(半導体膜11に相当)の表面側の一部に、素子分離領域33を形成した。素子分離領域33は、LOCOS(Local oxidation of silicon)構造の酸化膜(膜厚500nm)からなり、1000°Cの水蒸気を用いた酸化によって形成した。シリコン基板32には、引き上げ法(CZ法)によって作製したp形導電性(100)面方位、比抵抗1.0～1.5Ωcmの単結晶シリコン基板を用いた。また、素子分離領域33のチャネルストップとして、 $2 \times 10^{13} \text{ cm}^{-3}$ (atom)の濃度になるように、公知のイオン注入法を用いて50keVの加速エネルギーでホウ素を注入した。なお、素子分離領域33が形成されていない部分が、活性領域34となる。

【0041】次に、図3(b)に示すように、シリコン基板32表面の自然酸化膜31および不純物を除去し、清浄な表面33aを形成した。具体的には、まず、RCA洗浄法(W. Kern, D. A. Plutien: RCAレビュー 31, 187ページ, 1970年)によってシリコン基板32の表面を洗浄した。具体的には、 NH_4OH と H_2O_2 と H_2O とを、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$ の比で混合した溶液を80°Cに加熱し、この溶液中でシリコン基板32を10分程度洗浄した。次に、洗浄後のシリコン基板32を濃度0.5v/o 1%のフッ化水素酸(HF)水溶液に5分間浸漬し、活性領域34内の不純物および自然酸化膜31を除去した。

【0042】次に、超純水でシリコン基板22を5分間リーンス(洗浄)した後、ウェーハを115°Cの熱硝酸に10分間浸漬し、シリコン基板32の表面に厚さ1.2nmの二酸化シリコンからなる化学酸化膜35(第1の絶縁膜12に相当)を形成した(図3(c)参照)。本実施例では、熱濃硝酸を用いて、重金属などを含まない清浄かつ高品質な化学酸化膜を形成した。

【0043】次に、化学酸化膜35上に、電子ビーム蒸着法によって、膜厚が約3nmの白金膜36(酸素透過機能を有する金属膜13に相当)を蒸着した(図3(d)参照)。この際、白金には99.99wt%の純度のものを用いた。蒸着速度は0.3nm/分、蒸着中のシリコン基板22の温度は50°Cとし、圧力は 1×10^{-4} Paとした。金属膜には、白金の他にパラジウムを

用いてもよい。

【0044】その後、上記シリコン基板32を、電気炉を用いて乾燥酸素中で300℃で1時間処理し、改質され膜厚が厚くなった絶縁膜37（第2の絶縁膜15に相当）を形成した（図3（e）参照）。

【0045】次に、白金膜36の全部と絶縁膜37の一部とをエッチングによって除去した（図3（f）参照）。エッチングは、王水（ $\text{HNO}_3 : \text{HCl} = 1 : 3$ ）中に、ウェーハを1時間×3回浸漬することによって行った。これによって、膜厚が絶縁膜37よりも薄い絶縁膜38を形成した。

【0046】最後に、アルミニウムからなるゲート電極39を形成した（図3（g）参照）。ゲート電極39は、抵抗加熱蒸着法によりアルミニウムからなる膜（膜厚1μm）を堆積し、公知のフォトリソグラフィー技術およびドライエッチング技術によってアルミニウム膜をエッチングすることによって形成した。このようにして、MOSキャパシタを製造した。

【0047】次に、3つの異なる方法によって処理された絶縁膜がどのように変化するかについて調べた。

【0048】第1の方法では、まず、シリコン基板を用意し、洗浄、自然酸化膜の除去、および表面の清浄化を行った。そして、このシリコン基板上に熱濃硝酸で二酸化シリコン膜を形成し、X線光電子分光測定（XPS）を行った。得られたX線光電子スペクトルを図4の線（a）に示す。なお、X線光電子スペクトルはVG社製ESCALAB 220i-XLを用いて測定した。測定では、X線源として、エネルギーが1487eVのA1のKα線を用いた。光電子は、表面垂直方向で観測した。図4のピーク（1）は、シリコン基板のSiの2p軌道からの光電子によるものであり、ピーク（2）は二酸化シリコン膜のSiの2p軌道からの光電子によるものである。ピーク（2）とピーク（1）の面積強度の比から、二酸化シリコン膜の膜厚は1.2nmであると計算できた。

【0049】第2の方法では、まず、シリコン基板を用意し、洗浄、自然酸化膜の除去、および表面の清浄化を行った。そして、このシリコン基板上に熱濃硝酸で二酸化シリコン膜を形成し、その上に膜厚が約4nmの白金を電子ビーム蒸着で形成した。次に、この試料を電気炉に導入し、乾燥酸素中で300℃、1時間加熱し、X線光電子分光測定を行った。得られたX線光電子スペクトルを図4（b）に示す。この場合には、ピーク（2）とピーク（1）の面積強度比が増加し、二酸化シリコン膜の膜厚は4.2nmと計算できた。

【0050】第3の方法では、まず、シリコン基板を用意し、洗浄、自然酸化膜の除去、および表面の清浄化を行った。そして、このシリコン基板上に、熱濃硝酸で二酸化シリコン膜を形成し、その上に約4nmの白金を電子ビーム蒸着した。次に、この試料を電気炉に導入し、

乾燥酸素中で400℃、1時間加熱し、その後王水で白金膜と二酸化シリコン膜の一部をエッチングして、X線光電子分光測定を行った。得られたX線光電子スペクトルを図4の線（c）に示す。ピーク（2）とピーク（1）の面積強度比は、線（a）のものとほとんど変わらず、二酸化シリコン膜の膜厚は1.2nmと計算された。

【0051】図3の工程と同様の工程で作製したA1電極（面積：0.071mm²）／膜厚1.2nmの二酸化シリコン膜/Si基板構造の電流-電圧（I-V）曲線を図5の線（b）に示す。具体的には、線（b）は、熱濃硝酸を用いて1.2nmのSiO₂膜を形成して、その上に3nmの白金膜を蒸着し、これを乾燥酸素中400℃で1時間加熱した後、王水でエッチングして露出した二酸化シリコン膜上にA1電極を作製し、その後に測定したI-V曲線である。

【0052】一方、比較例として、熱濃硝酸を用いて1.2nmの二酸化シリコン膜を形成したのちA1電極を作製し、その後に観測したI-V曲線を、図5の線（a）に示す。図5から、白金処理（白金膜を形成したのち酸化雰囲気中で加熱処理を行う処理をいう。以下同じ。）を行った試料（線（b））のリーク電流密度は、これを行わない試料（線（a））の電流密度に比較して、1/10程度に減少していることがわかった。この結果は、二酸化シリコン膜が白金処理によって改質されたことを示すものである。

【0053】したがって、本実施例の方法によって形成した薄い酸化膜は、MOSトランジスタやMOSキャパシタの極薄ゲート酸化膜として有用である。本発明の方法によって形成した薄い酸化膜は、トランジスタのゲート酸化膜として適用可能であるのは勿論のこと、他にもさまざまな用途に適用できる。

【0054】（実施例2）実施例2では、実施形態2で説明した方法によってシリコン基板上に形成した熱酸化膜を改質した一例について説明する。

【0055】まず、基板として、ボロンをドープしたn型（100）、電気抵抗値が1.0～1.5Ωcmのシリコンウェーハを用意した。そして、このシリコン基板を上述したRCA洗浄方法によって洗浄した後、希HF溶液（0.5volum-%のHF水溶液）に5分間浸漬し、シリコン表面の自然酸化膜を除去した。次に、超純水でシリコン基板を5分間洗浄した後、乾燥酸素中電気炉で850℃、4.5分間加熱することによって、熱酸化膜を形成した。次に、熱酸化膜上に膜厚約3nmの白金膜を電子ビーム蒸着法を用いて堆積し、さらにその試料を電気炉に導入し、乾燥酸素中で300℃、1時間加熱した。その後、シリコン基板を王水に1時間×3回浸漬することによって白金膜を除去し、熱酸化膜を露出させた。そして、露出した熱酸化膜の上に、抵抗加熱蒸着法によって厚さ1μmのA1電極を作製した。A1電極の面積は

0.071 mm²とした。

【0056】図6の線(a)は、白金処理を行う前の熱酸化膜のSi-2p領域のXPSスペクトルである。熱酸化膜のSiの2p軌道から放出される光電子によるピーク(2)とシリコン基板のSiの2p軌道から放出される光電子によるピーク(1)との面積強度比から計算した結果、熱酸化膜の膜厚は9nmと見積もられた。

【0057】図6の線(b)は、熱酸化膜に白金処理を施し、さらに王水でエッティングし、その後に測定したXPSスペクトルである。ピーク(2)とピーク(1)の面積強度比は図6の線(a)のものとほとんど変わらず、熱酸化膜の膜厚は白金処理によって変化しなかったことがわかった。

【0058】本実施例によって作製した白金3nm/熱酸化膜9nm/Si基板構造のI-V特性を、図7の線(b)に示す。一方、同様の構造で、白金処理を行っていない場合の白金3nm/熱酸化膜9nm/Si基板構造のI-V特性を、図7の線(a)に示す。白金処理を施すことによってリーク電流密度が1/100程度に減少し、絶縁耐圧性が向上したことがわかる。

【0059】本実施例により作製した、白金3nm/熱酸化膜9nm/Si基板構造(白金処理済み)の電気容量-電圧(C-V)特性を、図8に示す。白金処理によって白金電極と熱酸化膜とのコンタクト面積が変化しないと仮定すると、電気容量から計算される酸化膜の膜厚は9.8nmであり、XPSスペクトルから求めた値である9nmと良い一致をしている。これは、白金処理によってコンタクト面積が変化しないことを示している。したがって、図7に示されている白金処理によるリーク電流密度の減少は、コンタクト面積の減少ではなく、酸化膜が改質されたためであることがわかる。

【0060】(実施例3)実施例3では、本発明の製造方法を用いてMOSFETを作製した一例について説明する。実施例3におけるMOSFETの製造工程を図9に示す。

【0061】まず、図9(a)に示すように、p型のシリコン基板91(ハッキングは省略する)上に素子分離領域92を形成したのち、公知のイオン注入技術によって、Vt調整用の不純物であるB(ボロン)をイオン注入した。

【0062】その後、図9(b)に示すように、シリコン基板91上に、ゲート絶縁膜である絶縁膜94と白金薄膜95とを形成した。絶縁膜94は、白金処理によって改質された絶縁膜であり、以下のようにして形成した。まず、シリコン基板91を、笑気ガス(N₂O)中1000°Cで熱処理することによって絶縁膜(平均膜厚1.8nm)形成した。そして、その絶縁膜上に、スピッタリング法によって白金薄膜95(平均膜厚3nm)を形成した。さらに、電気炉を用いて、上記シリコン基板91を、酸素/窒素=1/9の雰囲気中300°Cで6

0分間熱処理することによって絶縁膜94を形成した。

【0063】その後、80°Cの王水で、白金薄膜95および絶縁膜94の一部をエッティングしたのち、図9(c)に示すように、公知の減圧CVD法によってリン濃度が5×10²⁰cm⁻³のn型アモルファスシリコン膜96(膜厚200nm)を基板温度530°Cで形成した。

【0064】その後、図9(d)に示すように、n型アモルファスシリコン膜96をパターニングすることによってゲート電極97を形成し、さらに、リンをイオン注入することによってLDD(Lightly Doped Drain)領域98を形成した。

【0065】その後、TEOS膜を形成したのち、公知のドライエッティング技術でTEOS膜をエッティングすることによって、図9(e)に示すように、サイドウォール99を形成した。そして、5×10¹⁵cm⁻³の濃度になるよう20keVでリンイオンを注入することによって、ソース・ドレイン領域100の形成と、ゲート電極へのドーピングを行った。

【0066】その後は通常の配線工程に従い、MOSFETを完成した。このように、白金処理後に白金薄膜を除去することによって、既存のシリコンゲート電極を使用することができる。なお、白金薄膜を除去しない場合には、アルミニウムやタンゲステンなどを堆積したのちエッティングすることによって、金属ゲート電極を備えるMOSFETを形成できる。

【0067】(白金処理の機構)以上のように、白金処理によって絶縁膜のリーク電流が減少する現象が確認されたが、現時点ではその機構は明確ではない。ここでは、発明者が最も合理的と考えている機構について、以下に説明する。

【0068】酸化膜上に白金膜を堆積して酸素雰囲気中で加熱した場合、白金上で酸素分子が解離し、これが白金/酸化膜界面に拡散し、さらに解離した酸素イオン(O⁻またはO²⁻)が酸化膜中に注入される(H. Kobayashi, T. Yuasa, K. Yamakawa, K. Yoshida, Y. Tadokoro, "The Journal of Chemical Physics")109巻、12号(1998年)、4997ページ参照)。解離した酸素イオンは反応性が高く、図10に模式的に示すように酸化膜中のサブオキサイドやシリコンダブルボンドなどの欠陥と反応して欠陥部位を消滅させる。したがって、欠陥部位を介して流れるリーク電流密度が減少すると考えられる。

【0069】さらに、図11に模式的に示すように、白金処理前に形成する絶縁膜が薄い場合には、白金処理による酸化膜厚の均一性の向上もリーク電流の減少の原因と考えられる。膜厚が不均一な絶縁膜に対して白金処理を行う場合、絶縁膜中の電界の強度は、絶縁膜の膜厚に

反比例する。そのため、絶縁膜の膜厚の薄い部分で電界が大きくなり、酸素イオンの移動が促進され酸化が促進される。つまり、酸素イオンによる酸化は、絶縁膜の膜厚が薄い部分で選択的に起こり、絶縁膜の膜厚が均一になる結果、リーケ電流密度が減少すると考えられる。

【0070】以上、本発明の実施の形態について例を挙げて説明したが、本発明は、上記実施の形態に限定されず本発明の技術的思想に基づき他の実施形態に適用することができる。

【0071】たとえば、上記実施形態では半導体装置の一例について説明したが、本発明は上記半導体装置に限定されず、絶縁膜を備えるさまざまな半導体装置に適用できる。

【0072】なお、別の見方によれば、本発明は絶縁膜の膜質を改善する方法（絶縁膜の改質方法）を提供する。

【0073】

【発明の効果】以上説明したように、本発明の第1の半導体装置の製造方法では、酸素を用いて絶縁膜中の欠陥を終端するとともに絶縁膜の膜厚を均一化したのち、絶縁膜をエッチングによって薄くすることによって、膜厚が均一で薄く、膜質がよい絶縁膜を形成できる。また、本発明の第2の半導体装置の製造方法では、酸素を用いて絶縁膜中の欠陥を終端することによって膜質がよい絶縁膜を形成できる。したがって、第1および第2の半導体装置の製造方法によれば、高温加熱を用いずに絶縁膜を改質することができ、特性が良好な半導体装置を製造できる。

【0074】以上のように、本発明の半導体装置の製造方法では、高温加熱を用いずに絶縁膜を流れるリーケ電流密度を低減させることができ、金属-絶縁膜-半導体デバイス、とりわけMOSデバイスや薄膜トランジスタ(TFT)の高性能化を実現することができる。

【0075】また本発明のさらに好ましい半導体装置の製造方法によれば、半導体膜を600°C以上の高温に曝すことなく、300°C~400°C程度の低温で、界面特性にすぐれた高品質の極薄絶縁膜を膜厚制御性よく形成することができ、熱履歴を問題にすることなく高品質の

極薄ゲート絶縁膜を形成することができる。さらに本発明の如き絶縁膜の改質方法を多結晶シリコン上、非晶質シリコン上に応用することにより、高性能の容量を形成することが可能になる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の製造方法について一例を示す工程図である。

【図2】 本発明の半導体装置の製造方法について他の一例を示す工程図である。

【図3】 本発明の半導体装置の製造方法についてその他の一例を示す工程図である。

【図4】 白金処理の有無によるXPSスペクトルの違いの一例を表すグラフである。

【図5】 白金処理の有無によるI-Vカーブの違いの一例を表すグラフである。

【図6】 白金処理の有無によるXPSスペクトルの違いの他の一例を表すグラフである。

【図7】 白金処理の有無によるI-Vカーブの違いの他の一例を表すグラフである。

【図8】 本発明の半導体装置の製造方法で製造したMOSキャパシタについて電気容量-電圧特性を示すグラフである。

【図9】 本発明の半導体装置の製造方法でMOSFETを製造した一例について製造工程を示す工程図である。

【図10】 本発明の半導体装置の製造方法における絶縁膜の改質の機構を説明する模式図である。

【図11】 本発明の半導体装置の製造方法における絶縁膜の改質の機構を説明する模式図である。

【符号の説明】

1 1 半導体膜

1 2 第1の絶縁膜

1 3 金属膜

1 4 絶縁酸化膜

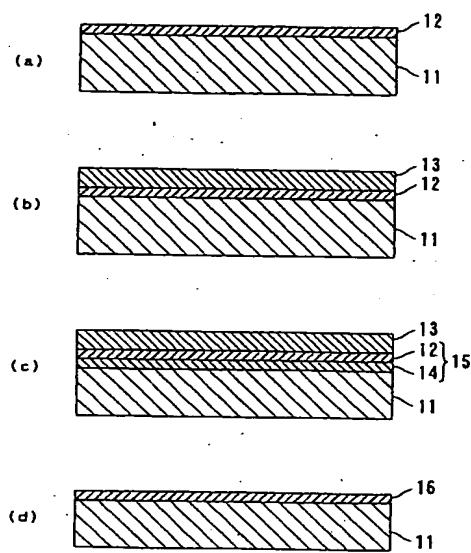
1 5 第2の絶縁膜

1 6 第3の絶縁膜

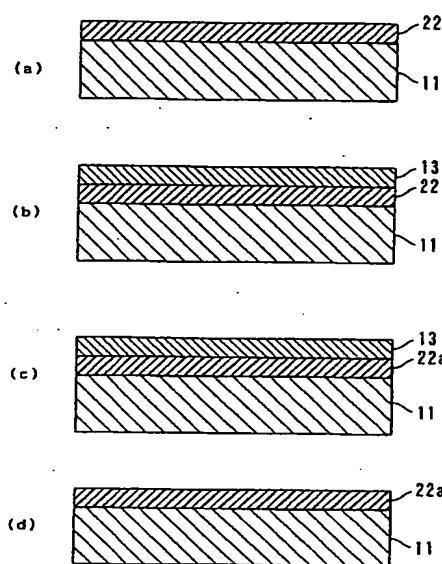
2 2 絶縁膜

2 2 a 改質された絶縁膜

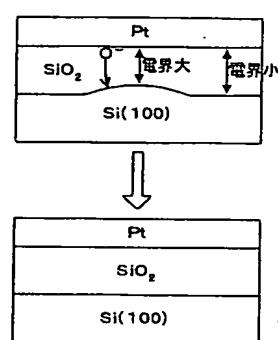
【図1】



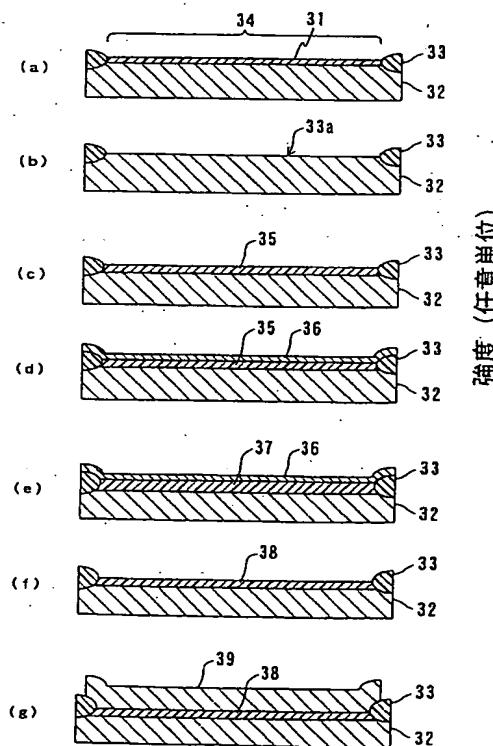
【図2】



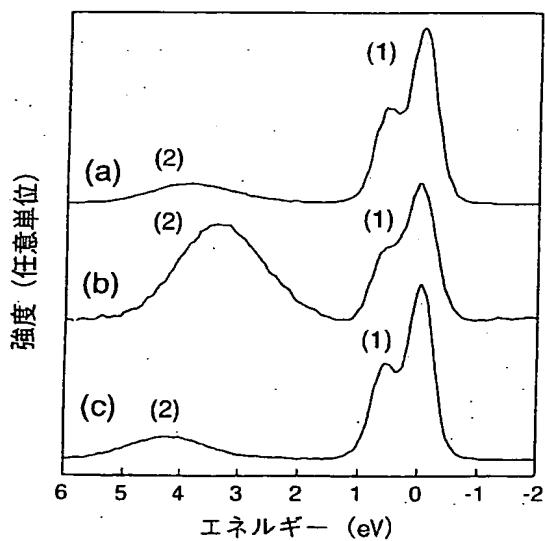
【図11】



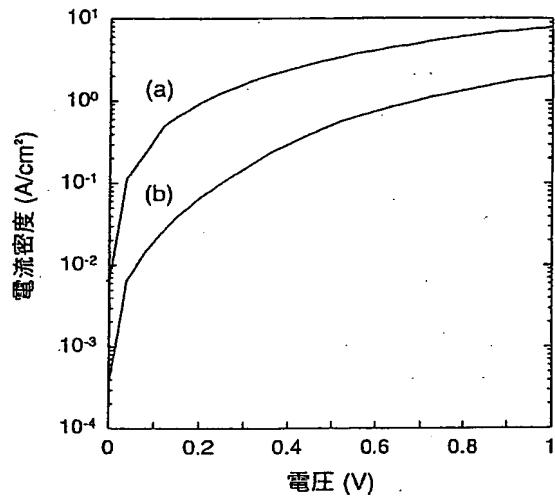
【図3】



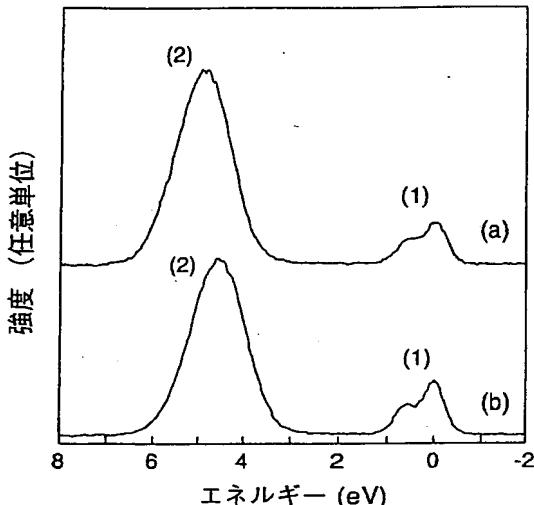
【図4】



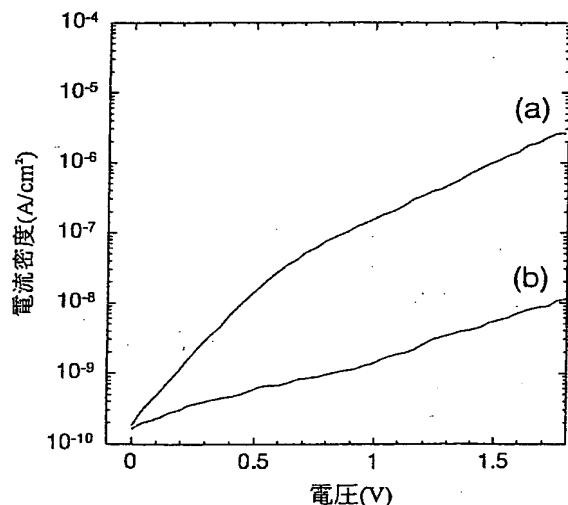
【図5】



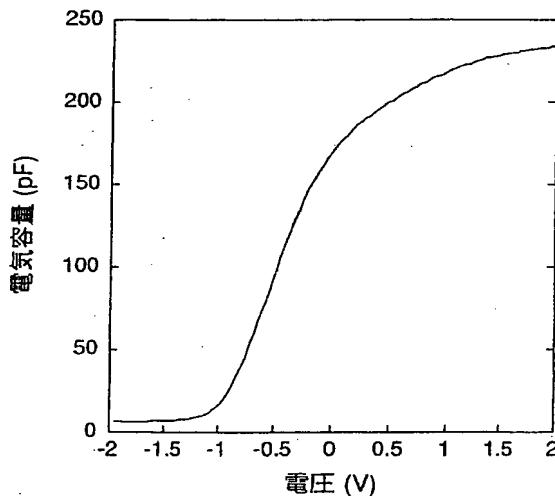
【図6】



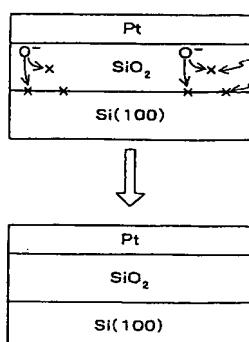
【図7】



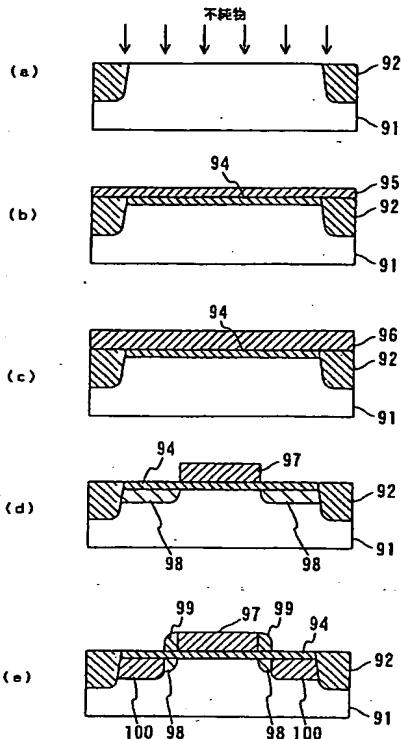
【図8】



【図10】



【図9】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H O 1 L 29/94

F ターム(参考) 5F038 AC03 AC05 AC15 AC18 EZ02
 EZ14 EZ15 EZ16 EZ17 EZ20
 5F040 DC03 EC01 EC04 EF02 EK01
 FA05 FB02 FC11
 5F058 BA01 BA11 BB01 BB02 BC02
 BC03 BF62 BF63 BH01

THIS PAGE BLANK (USPTO)